

PAT-NO: JP402230834A
DOCUMENT-IDENTIFIER: JP 02230834 A
TITLE: CODE ERROR RATE MEASURING SYSTEM

PUBN-DATE: September 13, 1990

INVENTOR-INFORMATION:

NAME COUNTRY
TANAKA, MASATAKA

ASSIGNEE-INFORMATION:

NAME COUNTRY
FUJITSU LTDN/A

APPL-NO: JP01049791

APPL-DATE: March 3, 1989

INT-CL (IPC): H04L001/00 , G06F011/08

US-CL-CURRENT: 714/746

ABSTRACT:

PURPOSE: To suppress the calculation error of an error pulse number by inputting the data of error pulse number outputted from a shift register and an exponential part generating circuit to a BER calculation circuit and obtaining a code error rate.

CONSTITUTION: A pulse number generated within a prescribed period is counted by a full pulse counter circuit 10 and when the counting of all pulse number is finished, a shift register 13 holds a read pulse number counted by an error pulse counter circuit 11: Simultaneously, the data in the unit of bits of an error

pulse number held therein is shifted at every bit. The data of the exponent part of the error pulse number is generated by an exponent part generating circuit 14 according to the shift quantity. Then the data of an error pulse number outputted from the shift register 13 and the exponent part generating circuit 14 is inputted to a BER calculation circuit 12 to obtain a code error rate. Thus, the calculation error of the error pulse number is suppressed.

COPYRIGHT: (C)1990,JPO&Japio

⑫ 公開特許公報(A)

平2-230834

⑤ Int. Cl.⁵H 04 L 1/00
G 06 F 11/08

識別記号

3 1 0

庁内整理番号

C 8732-5K
C 9072-5B

⑬ 公開 平成2年(1990)9月13日

審査請求 未請求 請求項の数 1 (全8頁)

⑭ 発明の名称 符号誤り率測定方式

⑯ 特 願 平1-49791

⑰ 出 願 平1(1989)3月3日

⑱ 発 明 者 田 中 昌 孝 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 松 本 昂

明 細 書

式。

1. 発明の名称

符号誤り率測定方式

2. 特許請求の範囲

一定期間内に発生した全パルス数を全パルス計数回路(10)により数え、この一定期間内の誤りパルス数を誤りパルス計数回路(11)により数え、誤りパルス数と全パルス数の比をBER計算回路(12)により計算する符号誤り率測定方式において、

全パルス計数回路(10)での計数が終了すると同時に、誤りパルス数のビットデータを保持して1ビットずつシフトさせるシフトレジスタ(13)と、

該シフトレジスタ(13)でのシフト量に対応して指数部の指数を求める指数部作成回路(14)を設け、

シフトレジスタ(13)と指数部作成回路(14)から出力される誤りパルス数のデータをBER計算回路(12)に入力することにより、符号誤り率を求めるようにしたことを特徴とする符号誤り率測定方

3. 発明の詳細な説明

概 要

一定期間内に発生した符号の符号誤り率を測定する符号誤り率測定方式に関し、

誤りパルス数の算出誤差を抑えることを目的とし、

一定期間内に発生した全パルス数を全パルス計数回路により数え、この一定期間内の誤りパルス数を誤りパルス計数回路により数え、誤りパルス数と全パルス数の比をBER計算回路により計算する符号誤り率測定方式において、全パルス計数回路での計数が終了すると同時に、誤りパルス数のビットデータを保持して1ビットずつシフトさせるシフトレジスタと、該シフトレジスタでのシフト量に対応して指数部の指数を求める指数部作成回路を設け、シフトレジスタと指数部作成回路から出力される誤りパルス数のデータをBER計算回路に入力することにより、符号誤り率を求め

るように構成する。

産業上の利用分野

本発明は一定期間内に発生した符号の符号誤り率を測定する符号誤り率測定方式に関する。

伝送されてきたパルスを識別する際、有線又は無線の伝送路において混入された雑音により誤って識別されることがあり、これを符号誤りと呼んでいる。デジタル伝送路の符号誤り特性を表すのに、一定期間内に発生した誤りパルス数と全パルス数の比で示したBER(Bit Error Rate)が用いられている。このBERを用いる通信分野は、有線通信のみに限らず、衛星通信でも用いられている。

衛星通信システムは、通信を行う複数の地球局と通信信号の中継を行う宇宙局(人工衛星)から構成され、前者が地上部分、後者が宇宙部分となっている。このシステムの構成要素としては、この他に衛星回線の割当て制御を行う回線制御局や衛星の追跡、監視、制御を行うための地上設備が

ある。地球局から通信衛星に向けて送信される信号は、RF(アンテナ送受信装置)により増幅されてから送信されるようになっているが、降雨減衰等により送信信号の品質が劣化した場合は、送信信号の符号誤り率を測定している送信電力制御装置(TPC装置)により、符号誤り率の増加が検出される。そして、RFにおける信号増幅率をさらに増大させ、符号誤り率を少しでも低く抑えて回線を維持するようにしている。

この衛星通信用の送信電力制御装置で使用する符号誤り率測定においては、高精度な測定が要求される。

従来の技術

第6図は従来の符号誤り率測定方式の回路図を示している。

30~35はRF等から送信されるパルス(全パルス)をカウントする4ビットのカウント、36~40はエラーパルス検出回路(図示せず)において検出されたエラーパルス(誤りパルス)を

カウントする4ビットのカウント、41はカウンタ37のキャリアアウト(CO)を検出する検出器、42はカウンタ38のキャリアアウトを検出する検出器、43はカウンタ39のキャリアアウトを検出する検出器である。45はカウンタ36~40の出力を選択するセレクト(SEL)、44は検出器41~43の出力に応じてSEL45を制御するコード回路(CODE)、46は全パルス数とエラーパルス数の比(BER)を計算するBER変換ROM、47はBER出力用のフリップフロップ(F/F)である。

4ビットのカウント30~35により、 2^{16} 個の全パルスがカウントされると、カウンタ35のCO端子からハイレベルの信号(CO)が出力される。このハイレベルの信号は、NOT回路48により反転された後、カウンタ30~40のリセット端子(R)、F/F47のクロック端子(CK)に送出されて、カウンタ30~40における全パルス数及びエラーパルス数のカウント動作が停止される共に、前回タイミングにおいて算出さ

れたBERが出力される。

ここで、カウンタ36~40によりカウントされたエラーパルス数が、例えば、367個であったとすると、このカウンタ36~40の出力状態は、第7図のようになる。エラーパルス数が367個の場合の最上位ビットは、カウンタ38の出力Q9であるため、カウンタ37のCO端子からCO(=1)信号が出力され、この出力は検出器41により検出されて、コード回路44へ送出される。

第8図はコード回路出力とセレクト出力の関係表を示している。

検出器41~43の何れにおいてもカウンタ37~39のCO信号を検出していないときは、コード回路44からの出力Yは0となり、検出器41のみによりCO信号を検出した場合のコード回路44からの出力Yは「1」となる。さらに、検出器41、42においてCO信号を検出したときのコード回路44からの出力Yは「2」となり、検出器41~43においてCO信号を検出したと

きのコード回路44からの出力yは「3」となる。

また、コード回路44の出力yが「0」のときは、カウンタ36、37の出力Q1～Q8がセレクト45により選択され、出力yが「1」のときは、カウンタ37、38の出力Q5～Q12がセレクト45により選択され、出力yが「2」のときは、カウンタ38、39の出力Q9～Q16がセレクト45により選択され、出力yが「3」のときは、カウンタ39、40の出力Q13～Q20がセレクト45により選択される。

よって、エラーパルス数が367個のとき、コード回路44の出力yは「1」となると共に、セレクト45により、カウンタ37、38の出力Q5～Q12が選択される。このセレクト45により選択された出力Q5～Q12(x)とコード回路44の出力y「1」は、BER変換ROM46に入力される。BER変換ROM46のテーブルは、

$$BER = x \times 2^{(y)} / 2^{24}$$

となっており、エラーパルス数が367個の場合

は、

$$\begin{aligned} BER &= 22 \times 2^1 / 2^{24} \\ &= 2.098 \times 10^{-5} \\ &\approx 2.1 \times 10^{-5} \end{aligned}$$

となる。一方、BERの理論値は、

$$\begin{aligned} BER &= 367 / 2^{24} = 2.187 \times 10^{-5} \\ &\approx 2.2 \times 10^{-5} \end{aligned}$$

となるため、本従来例によるBER算出値には、若干の誤差が生じている。

発明が解決しようとする課題

しかし、上述したような従来の符号誤り率測定方式では、エラーパルス数をカウントする複数のカウンタの出力の内から、その誤りパルス数に応じてカウンタの出力を選択しているため、ビット単位のデータの有効桁数が少なくなる場合があり、エラーパルス数の算出誤差が大きくなるという問題があった。

本発明はこのような点に鑑みてなされたものであり、その目的とするところは、誤りパルス数の

算出誤差を抑えた符号誤り率測定方式を提供することである。

課題を解決するための手段

第1図は本発明の原理ブロック図である。

一定期間内に発生した全パルス数を全パルス計数回路10により数え、この一定期間内の誤りパルス数を誤りパルス計数回路11により数え、誤りパルス数と全パルス数の比をBER計算回路12により計算する符号誤り率測定方式において、全パルス計数回路10での計数が終了すると同時に、誤りパルス数のビットデータを保持して1ビットずつシフトさせるシフトレジスタ13と、そのシフトレジスタ13でのシフト量に対応して指数部の指数を求める指数部作成回路14を設ける。

そして、シフトレジスタ13と指数部作成回路14から出力される誤りパルス数のデータをBER計算回路12に入力することにより符号誤り率を求める。

作用

ある一定期間内に発生したパルス数のカウントが、全パルス計数回路10により行われ、この全パルス数のカウントが終了すると、シフトレジスタ13により、誤りパルス計数回路11で数えた誤りパルス数が保持されると共に、この保持された誤りパルス数のビット単位のデータを1ビットずつシフトさせる。このシフト量に対応して誤りパルス数の指数部のデータが、指数部作成回路14により作成される。

第2図は本発明の作用を説明するためのビットデータ表を示している。

誤りパルス計数回路11の8ビット出力値を、仮数部4ビット(x)に変換して、BER計算回路12に入力する場合、シフトレジスタ13により保持された8ビットデータを右シフトさせて、この8ビットデータにおける最上位ビットの「1」出力を最右端に配置し、この最右端からの4ビットを仮数部出力(x)とする。

このように、予め定められた仮数部ビットに従

ってデータを出力するとき、最も精度の高い有効桁数をとることができる。

実施例

以下本発明を図面に示す実施例に基づいて詳細に説明する。

第3図は本発明による符号誤り率測定方式の一実施例回路図を示している。

20はRF等から送信されるパルス(全パルス)をカウントするトータル・カウンタ、21はトータル・カウンタ20にてパルスをカウントしている間に発生したエラーパルスをカウントするエラー・カウンタ、13はエラーパルス数のビットデータを保持して1ビットずつシフトさせるシフトレジスタである。トータル・カウンタ20は、 2^{24} 個のパルスをカウントすると、出力Q25からハイレベル信号を出力する。シフトレジスタ13の出力はQ13~Q20の8ビットとなっている。22はシフトレジスタ13でのシフト量に応じて指数部の指数を作成するダウンカウンタ、2

3は全パルス数とエラーパルス数の比を計算してBERを求めるBER変換ROM、24はBERデータ出力するフリップフロップ(F/F)である。25はシフトレジスタ13の出力Q20からハイレベル信号が出力されたことを検出する検出器、26はシフトレジスタ13及びダウンカウンタ22の動作を制御するタイミング作成回路、27はデコード回路(DECO)、28、29はNOT回路である。

第3図実施例の動作を第4図のタイムチャートを用いて以下に説明する。

BER測定開始フラグ(ローレベルへの反転動作)により、トータル・カウンタ20、エラー・カウンタ21及びシフトレジスタ13がリセットされると共に、トータル・カウンタ20による全パルスのカウントが開始される。このBER測定開始フラグのローレベル信号は、NOT回路29を介してF/F24のクロック端子にも送出されるため、前回のタイミングにおいて算出されたBERが出力される。トータル・カウンタ20にお

いて、 2^{24} 個の全パルスのカウントが終了すると、このトータル・カウンタ20の出力Q25からハイレベルの信号が出力され、このハイレベルの信号は、NOT回路28によりローレベルへ反転されて、トータル・カウンタ20、エラー・カウンタ21のイネーブル端子(E端子)及びタイミング作成回路26に送出される。これにより、トータル・カウンタ20とエラー・カウンタ21のカウント動作が停止されると共に、タイミング作成回路26からシフトレジスタ13、ダウンカウンタ22へ、ロードパルスとシフトクロックが送出される。

そして、エラーカウンタ21の出力Q1~Q20から出力されたエラーパルス数のビットデータが、ロードパルスによりシフトレジスタ13の入力端子D1~D20へ転送されると同時に、ダウンカウンタ22における指数部の指数の初期値(シフト前)が設定される。

第5図のエラーカウンタ出力表に示すように、エラーカウンタ21の出力は20ビットであるが、

シフトレジスタ13の出力Q13~Q20は8ビットである。よって、エラー・カウンタ21の20ビット出力データをシフトレジスタ13により右シフトさせていくとすると、指数部の指数の初期値は、「12」となる。第5図においては、誤りパルス数が367個であった場合について図示している。

また、タイミング作成回路26から送出されるシフトクロックは、システムクロックにより作成され、このシフトクロックに同期してシフトレジスタ13のシフト動作、ダウンカウンタ22による指数部の指数のカウントダウン動作が行われる。シフトレジスタ13により、エラー・カウンタ21の出力を右シフトさせていくと、このエラー・カウンタ21の出力Q9の「1」(第5図参照)が、シフトレジスタ13の出力Q20へ現れ、この出力「1」、即ちハイレベル信号が検出器25により検出されることになる。この検出器25は、シフトレジスタ13の出力Q20のハイレベル信号を取り込んでローレベルへ反転させ、このロー

レベル信号は、ダウンカウンタ22のイネーブル端子、タイミング作成回路26へ送出される。これにより、ダウンカウンタ22のカウント動作が停止されると共に、タイミング作成回路26から出力されているシフトクロックが停止されて、シフトレジスタ13によるシフト動作も停止される。

シフトレジスタ13から出力されるエラーパルス数のビットデータxは、第5図に示すようにエラー・カウンタ21の出力Q2～Q9までの8ビットとなる。また、ダウンカウンタ22でのカウントダウンは、11回行われるため、このダウンカウンタ22の出力Q1～Q4から出力される指数部の指数データyは「1」となる。

検出器25において「1」（ハイレベル信号）が検出されなかったときは、ダウンカウンタ22のカウント動作が終了しないことになるため、このカウント動作が一巡した場合は、デコード回路27によりこれを検出して、タイミング作成回路26から出力されているシフトクロックを停止させて、シフトレジスタ13及びダウンカウンタ2

2の動作を停止させる。

シフトレジスタ13から出力されるビットデータx(=183)とダウンカウンタ22から出力される指数部の指数データy(=1)は、BER変換ROM23に入力される。このBER変換ROM23内部のテーブルは、

$$BER = x \times 2^y / 2^{24}$$

となっており、本実施例の場合のBERは、

$$\begin{aligned} BER &= 183 \times 2^1 / 2^{24} \\ &= 2.182 \times 10^{-5} \\ &\approx 2.2 \times 10^{-5} \end{aligned}$$

となる。また、エラーパルス数が367個の場合のBERの理論値は、

$$BER = 367 / 2^{24} = 2.2 \times 10^{-5}$$

であり、本実施例により求めたBERの値は、理論値と同一となる。

そして、次のBER開始フラグにより、F/F24からBERデータが出力される。

発明の効果

本発明の符号誤り率測定方式は以上詳述したように構成したので、高精度の誤りパルス数のデータが得られ、理論値と同一のBERを求めることができ、伝送品質の劣化を正確に知ることができるという効果を奏する。

4. 図面の簡単な説明

第1図は本発明の原理ブロック図、

第2図は本発明の作用を説明するためのビットデータ表、

第3図は本発明による符号誤り率測定方式の一実施例回路図、

第4図は第3図実施例によるタイムチャート、

第5図は第3図実施例におけるエラーカウンタ出力表、

第6図は従来の符号誤り率測定方式の回路図、

第7図は従来例におけるエラーカウンタ出力表、

第8図はコード回路出力とセレクト出力の関係表を示している。

10…全パルス計数回路、

11…誤りパルス計数回路、

12…BER計算回路、

13…シフトレジスタ、

14…指数部作成回路、

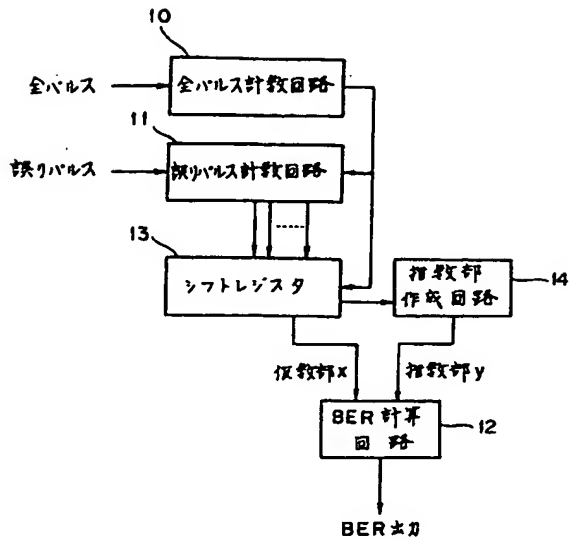
22…ダウンカウンタ、

23…BER変換ROM、

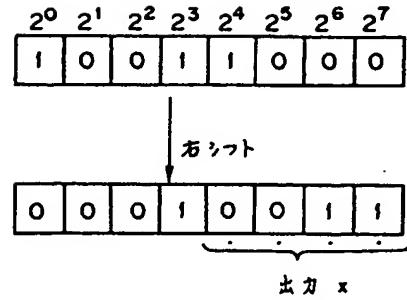
25…検出器、 26…タイミング作成回路。

出願人： 富士通株式会社

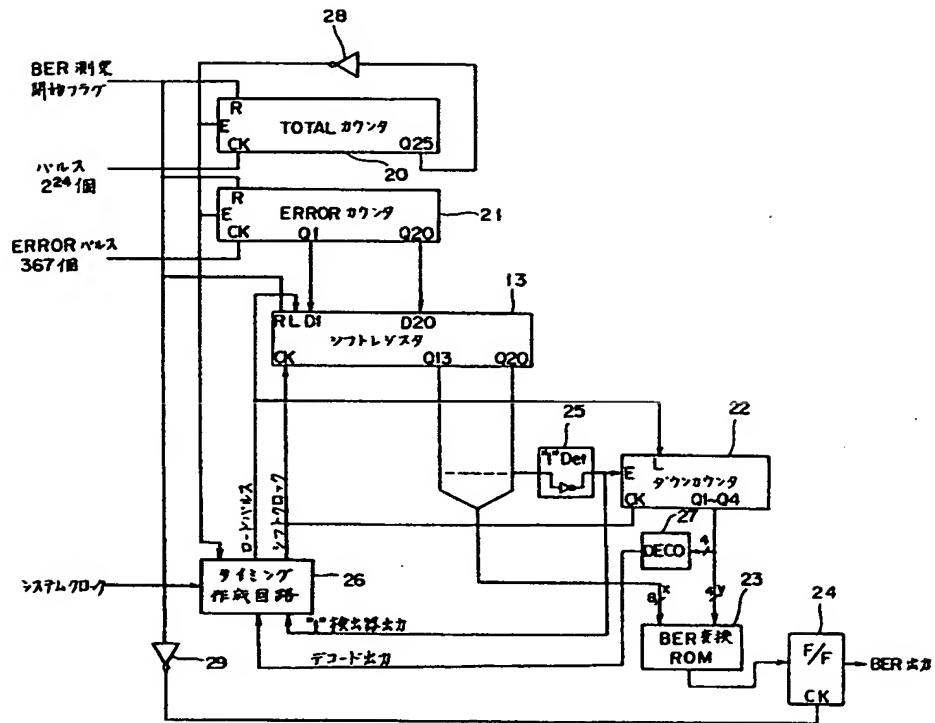
代理人： 弁理士 松本 昂



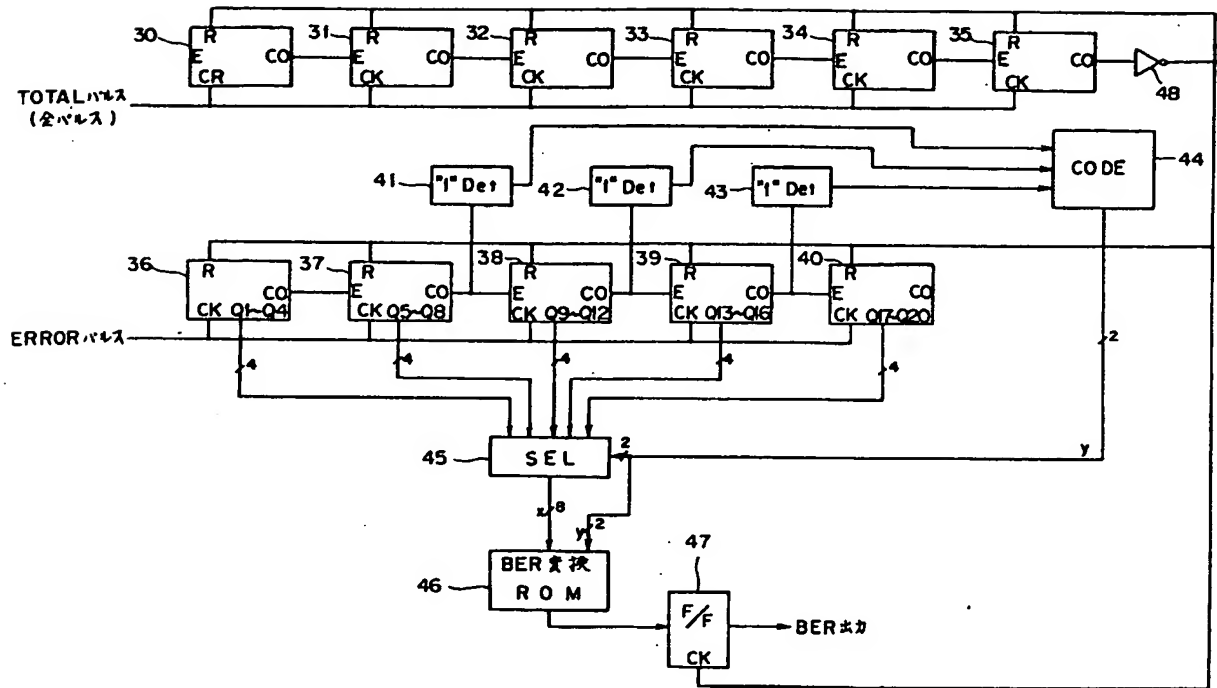
本発明の原理ブロック図
第 1 図



本発明の作用を説明するためのビットデータ表
第 2 図



本発明による符号誤り率測定方式の一実施例回路図
第 3 図



従来の符号誤り率測定方式の回路図

第 6 図

出力 x

Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8	Q9	Q10	Q11	Q12	Q13	Q14	Q15	Q16	Q17	Q18	Q19	Q20
1	1	1	1	0	1	1	0	1	0	0	0	0	0	0	0	0	0	0	0

従来の例におけるエラーカウンタ出力表

第 7 図

検出器			コード出力	セレクタ出力
41	42	43	(y)	(x)
0	0	0	0	Q1 ~ Q8
1	0	0	1	Q5 ~ Q12
1	1	0	2	Q9 ~ Q16
1	1	1	3	Q13 ~ Q20

コード回路出力とセレクタ出力の関係表

第 8 図